

⑫ 特 許 公 報 (B 2)

昭 63 - 20041

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公告 昭和63年(1988)4月26日

H 01 P 1/15
H 04 B 1/447741-5J
7251-5K

発明の数 1 (全5頁)

⑮ 発明の名称 送受切換スイッチ

⑯ 特 願 昭57-211985

⑰ 公 開 昭59-101901

⑱ 出 願 昭57(1982)12月2日

⑲ 昭59(1984)6月12日

⑳ 発 明 者 古 屋 輝 雄 神奈川県鎌倉市上町屋325番地 三菱電機株式会社鎌倉製作所内

㉑ 発 明 者 折 目 晋 啓 神奈川県鎌倉市上町屋325番地 三菱電機株式会社鎌倉製作所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁理士 大岩 増雄

審 査 官 清 水 康 志

㉔ 参 考 文 献 IEEE, Electron Devices Letters, vol. EDL-1, No. 8, August-1980, P. 156-157

1

㉕ 特許請求の範囲

1 半導体基板に構成したマイクロストリップ線路から成る主線路の先端部両側に、同じくマイクロストリップ線路から成る第1及び第2の副線路の先端を対向させ配置し、かつ対向する主線路と第1の副線路との間及び主線路と第2の副線路との間に上記半導体基板に構成したFETを接続し、併せて主線路はアンテナ系の一部、第1の副線路は送信系の一部、第2の副線路は受信系の一部をそれぞれ構成して成る送受切換スイッチにおいて、主線路と第1の副線路との間に接続されるFETはドレイン電極とソース電極を接続端子とするFET1個で構成し、主線路と第2の副線路との間に接続されるFETはドレイン電極とソース電極を接続端子とするFETを2個直列接続して構成し、各FETのゲート電極にはそれぞれバイアス電圧を印加する手段を具備した事を特徴とする送受切換スイッチ。

2 上記FETのドレイン電極とソース電極との間をインターデジタル構成とし、上記インターデジタル構成内に上記FETのゲート電極を折り曲げ構成で形成した事を特徴とする特許請求の範囲第1項記載の送受切換スイッチ。

発明の詳細な説明

この発明は半導体基板に構成したFETを用い

2

て送、受信系のマイクロ波を制御する送受切換スイッチの高性能化に関するものである。まず、従来の送受切換スイッチについて図により説明する。

第1図は従来の送受切換スイッチの構成の一例を示す。

図中、1は半導体基板、2は地導体、3は地導体2と共に構成されるマイクロストリップ線路の主線路、4aは同じく第1の副線路、4bは同じく第2の副線路、5aは第1のFET、5bは第2のFET、6aは第1のFET5a構成する第1のドレイン電極、7aは同じく第1のソース電極、8aは同じく第1のゲート電極、6bは第2のFET5bを構成する第2のドレイン電極、7bは同じく第2のソース電極、8bは同じく第2のゲート電極、9a、9bはそれぞれ第1のゲート電極8a及び第2のゲート電極8bにバイアス電圧を印加するためのマイクロストリップ線路から成るバイアス回路である。

従来の送受切換スイッチは、主線路3の先端部両側に第1の副線路4a及び第2の副線路4bの先端を対向させ配置し、かつ対向する主線路3と第1の副線路4aとの間に第1のFET5aをまた同じく主線路3と第2の副線路4bとの間に第2のFET5bをそれぞれ配置し、第1のFET5

3

4

aを構成する第1のドレイン電極6 aは主線路3との接続端子の役目を成し、同じく第1のソース電極7 aは第1の副線路4 aとの接続端子の役目を成し、併せて第1のドレイン電極6 aと第1のソース電極7 aとの間に第1のFET 5 aを構成する第1のゲート電極8 aを形成し、第2のFET 5 bを構成する第2のドレイン電極6 bは主線路3との接続端子の役目を成し、同じく第2のソース電極7 bは第2の副線路4 bとの接続端子の役目を成し、併せて第2のドレイン電極6 bと第2のソース電極7 bとの間に第2のFET 5 bを構成する第2のゲート電極8 bを形成している。

ここで、主線路3はアンテナ系の一部、第1の副線路4 aは送信系の一部、第2の副線路4 bは受信系の一部をそれぞれ構成しているものとする。

第2図は一般的なFETの特性説明に用いる図で、ゲート電極のバイアスを変えた時のドレイン電極とソース電極間の電圧、電流特性である。図中、10、11はそれぞれゲート電極のバイアスを零、ピンチオフ状態とした時の特性曲線A、Bである。説明の都合上、ここではドレイン電極とソース電極との間の電圧を V_{DS} 、電流を I_{DS} とする。この場合、ドレイン電極とソース電極との間の抵抗 R_{DS} は、 $R_{DS}=V_{DS}/I_{DS}$ で示される。

第3図は従来の送受切換スイッチも含めた一般的なFETを用いたスイッチ部の構成例を示す。図中、1は半導体基板、2は地導体、3 a、3 bは地導体2と共に構成されるマイクロストリップ線路の伝送線路、5はFET、6はFET 5のドレイン電極、7はFETのソース電極、8はFET 5のゲート電極、9はゲート8にバイアス電圧を印加するためのマイクロストリップ線路から成るバイアス回路である。

従来の一般的なFETを用いたスイッチ部は、ドレイン電極6とソース電極7との間をインターデジタル構成とし、このインターデジタル構成内にゲート電極8を折り曲げ構成で形成している。

以下、これらの図を用いて従来の送受切換スイッチの動作について説明する。

今、第1図において主線路3にマイクロ波を印加した場合を考える。第1のゲート電極8 aにバ

イアス回路9 aを介して零電圧を印加し、第2のゲート電極8 bにバイアス回路9 bを介してピンチオフ電圧を印加すると、第2図の特性曲線A 10及び特性曲線11から判るように、第1のドレイン電極6 aと第1のソース電極7 aとの間の抵抗は小さな値を示し、第2のドレイン電極6 bと第2のソース電極7 bとの間の抵抗は大きな値を示す。

このため、主線路3と第1の副線路4 aとの間のマイクロ波は導通状態と成り、主線路3と第2の副線路4 bとの間のマイクロ波はしや断状態と成る。

一方、第1のゲート電極8 aと第2のゲート電極8 bの印加電圧条件を逆にすると、同様に主線路3と第1の副線路4 aとの間にはしや断状態に成り、主線路3と第2の副線路4 bとの間は導通状態と成る。

このように、第1のゲート電極8 a及び第2のゲート電極8 bへのバイアス条件を変えることにより、主線路3と第1の副線路4 a間及び主線路3と第2の副線路4 b間すなわちアンテナ系と送信系間及びアンテナ系と受信系間をON/OFFする送受切換スイッチが実現出来ている。

しかし、従来の送受切換スイッチには次に示す欠点が観られる。それは、しや断状態側の耐電力特性を向上させようとする導通状態側の損失特性が劣化することである。従来の送受切換スイッチではしや断状態での耐電力特性を向上させるため、すなわち第2図の特性曲線B 11に示すFETの破壊電圧 V_B を大きくするために第1のFET 5 a、第2のFET 5 bを構成している半導体基板1の材質を変えていた。この場合第2図の特性曲線A 10に示すFETの未飽和電流 I_F が低下し、導通状態での損失特性の劣化をまねいていた。

一方、従来の送受切換スイッチでは、第1のFET 5 a及び第2のFET 5 bの構成を第3図に示す構成すなわちゲート電極8の幅（折り曲げ部の全長を指す。）を折り曲げ構成で広くして形成し、 I_F を増加させ導通状態における損失特性を改善していた。しかし、この構成では、半導体基板1の材質で V_B を大きくし、 I_F の低下をまねいているため、必要な I_F を実現するためには折り曲げ構成のゲート電極8の幅が広く成り過ぎる。

この場合、FET 5 はバイアス回路 9 の影響を受け、損失特性の改善に限界があつた。

このように、従来の送受切換スイッチでは、導通状態での損失特性としや断状態での耐電力特性の両方を十分に良くすることは困難であり、通常損失特性の悪い状態で構成されており、アンテナ系と送信系間のマイクロ波送信系電力による発熱も増大しているという問題があつた。

この発明は上記問題を解決するため、受信系を制御するFETはFETの2個直列とし、送信系が機能している時の損失特性と耐電力特性を改善することを目的としたものである。

以下、この発明の一実施例を図により詳述する。

第4図は、この発明の実施例における送受切換スイッチの構成を示す。

図中、1は半導体基板、2は地導体、3は地導体2と共に構成されるマイクロストリップ線路の主線路、4aは同じく第1の副線路、4bは同じく第2の副線路、5aは第1のFET、5bは第2のFET、5cは第3のFET、6aは第1のFET 5aを構成する第1のドレイン電極、7aは同じく第1のソース電極、8aは同じく第1のゲート電極、6bは第2のFET 5bを構成する第2のドレイン電極、7bは同じく第2のソース電極、8bは同じく第2のゲート電極、6cは第3のFET 5cを構成する第3のドレイン電極、7cは同じく第3のソース電極、8cは同じく第2のゲート電極、9a、9bはそれぞれ第1のゲート電極8a及び第2のゲート電極8bと第3のゲート電極8cにバイアス電圧を印加するためのマイクロストリップ線路から成るバイアス回路である。

ここで、主線路3はアンテナ系の一部、第1の副線路4aは送信系の一部、第2の副線路4bは受信系の一部をそれぞれ構成しているものとする。

この発明による送受切換スイッチでは受信系の一部を構成している第2の副線路4bと第2のFET 5bの間に第3のFET 5cを形成し、第2のFET 5bを構成する第2のソース電極7bと第3のFET 5cを構成する第3のドレイン電極6cを共通接続端子として形成し、第3のFET 5cを構成する第3のソース電極7cは第2の副

線路4bとの接続端子の役目を成し、併せて第3のドレイン電極6cと第3のソース電極7cとの間に第3のFET 5cを構成する第3のゲート電極8cを形成している。

以下、これらの図を用いて、この発明の送受切換スイッチの動作について説明する。

まず、第1のゲート電極8aにバイアス回路9aを介して零電圧を印加し、第2のゲート電極8bと第3のゲート電極8cにバイアス回路9bを介してピンチオフ電圧を印加すると、第2図から判るように第1のドレイン電極6aと第1のソース電極7aとの間すなわち主線路3と第1の副線路4aとの間は導通状態と成り、第2のドレイン電極6bと第3のソース電極7cとの間すなわち主線路3と第2の副線路4bとの間はしや断状態となる。いいかえると、アンテナ系と送信系がマイクロ波的に接続され、アンテナ系と受信系がマイクロ波的に切り離される。

一方、第1のゲート電極8a、第2のゲート電極8b及び第3のゲート電極8cの印加条件を逆にすると、同様に主線路3と第1の副線路4aとの間すなわちアンテナ系と送信系がしや断状態と成り、主線路3と第2の副線路4bとの間すなわちアンテナ系と受信系が導通状態と成る。

このため、第1のゲート電極8a、第2のゲート電極8b及び第3のゲート電極8cへのバイアス条件を変えることにより、アンテナ系と送信系間及びアンテナ系と受信系間をON/OFFする従来の送受切換スイッチと同等の機能を有する。

次にこの発明による送受切換スイッチの損失特性/耐電力特性を向上する理由について説明する。

まず耐電力特性について述べる。一般に送受切換スイッチでは送信系のみから大きなマイクロ波電力が印加され、第2図に示した特性曲線B11の破壊電圧が問題と成るのは主線路3と第2の副線路4bとの間である。

この場合すなわち主線路3と第2の副線路4bとの間をしや断状態とした場合、第2図の特性曲線B11のFETを2個直列としているため、主線路3と第2の副線路4bとの間すなわち第2のドレイン電極6bと第3のソース電極7cとの間には、マイクロ波で生じる電圧が $2 \times V_b$ まで許容されている。

7

したがって、この発明による送受切換スイッチは従来の送受切換スイッチに比較し、FETを構成している半導体基板1の材質が同一でも4倍のマイクロ波送信系電力が印加出来る。

次に損失特性について述べる。この発明による送受切換スイッチでは上記のように大幅に耐電力特性を向上しているため、半導体基板1の材質も第2図に示した特性曲線A10の未飽和電流 I_F を増加させる方向に変えられる。この場合、第1のFET5a、第2のFET5b及び第3のFET5cを第3図の構成とすることの効果も増大する。それは、FETの I_F がある程度大きな値であり、折り曲げ構成によるゲート電極8の幅もバイアス回路9の影響を受けない程度の増加で必要な I_F が実現出来るからである。

これにより、この発明による送受切換スイッチは従来の送受切換スイッチに比較して、耐電力特性を同一と想定した場合、主線路3と第1の副線路4aとの間の損失が1/3倍に、主線路3と第2の副線路4bとの間の損失が2/3倍に成っている。

このため、アンテナ系と送信系との間のマイクロ波送信系電力による発熱も減少している。

このように、この発明による送受切換スイッチでは、耐圧の問題と成る受信系に接続されるFET部を2個直列のFETで構成しているため、耐電力特性/損失特性を改善している。

8

なお、以上はFETの各電極が平行関係を保ち構成されている送受切換スイッチについて説明したが、この発明はこれに限らずFETの各電極が不平行で構成された送受切換スイッチに用いても良い。

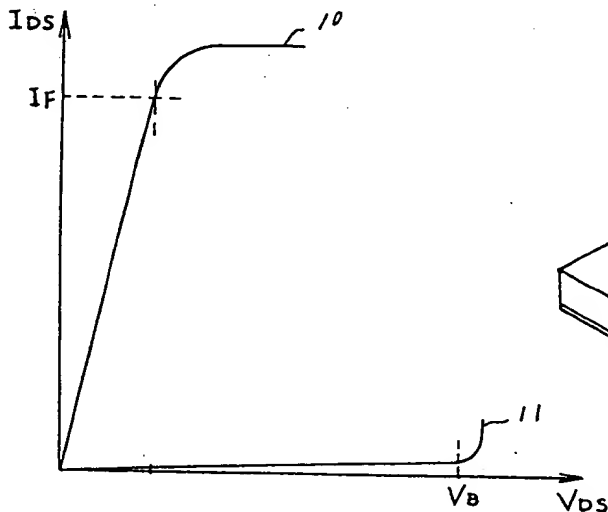
以上のように、この発明による送受切換スイッチでは受信系に接続されるFET部を2個直列のFETで構成しているため、耐電力特性/損失特性の改善に効果がある。

10 図面の簡単な説明

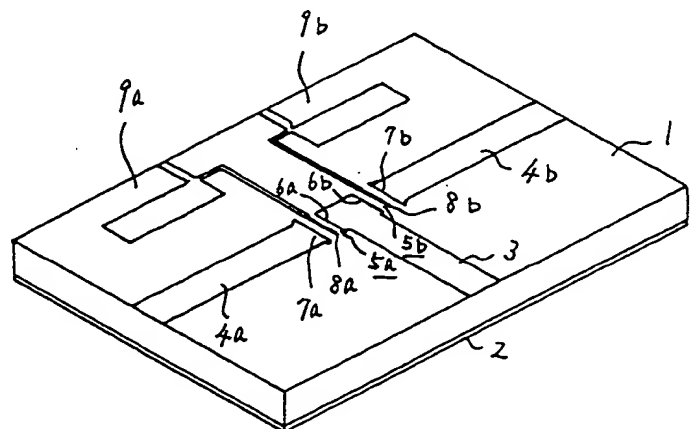
第1図は従来の送受切換スイッチの構成を示す斜視図、第2図は一般的なFETの説明に用いるFETの静特性を示す図、第3図は従来の送受切換スイッチのスイッチ部の構成を示す斜視図、第4図はこの発明の一実施例による送受切換スイッチの構成を示す斜視図である。

図中、1は半導体基板、2は地導体、3は主線路、4a、4bは第1、第2の副線路、5a、5b、5cは第1、第2及び第3のFET、6a、6b、6cは第1、第2及び第3のドレイン電極、7a、7b、7cは第1、第2及び第3のソース電極、8a、8b、8cは第1、第2及び第3のゲート電極、9a、9bはバイアス回路である。なお、図中同一あるいは相当部分には同一符号を付して示してある。

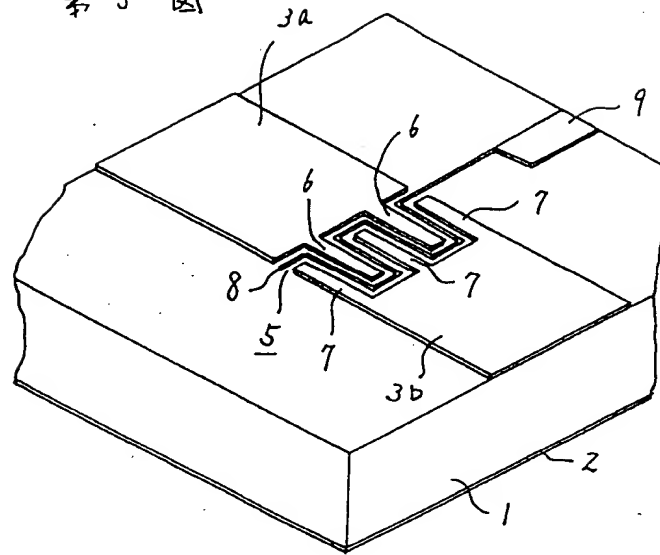
第2図



第1図



第 3 図



第 4 図

